

NBTI 效应导致 SET 脉冲在产生与传播过程中的展宽

陈建军, 陈书明, 梁 斌, 刘 征, 刘必慰, 秦军瑞

(国防科技大学计算机学院, 湖南长沙 410073)

摘 要: 本文研究了负偏置温度不稳定性(NBTI)对单粒子瞬态(SET)脉冲产生与传播过程的影响. 研究结果表明: NBTI 能够导致 SET 脉冲在产生与传播的过程中随时间而不断展宽. 本文还基于工艺计算机辅助设计模拟软件(TCAD)进行器件模拟, 提出了一种在 130nm 体硅工艺下, 计算 SET 脉冲宽度的解析模型, 并结合 NBTI 阈值电压退化的解析模型, 建立了预测 SET 脉冲宽度在产生的过程中随 PMOS 器件的 NBTI 退化而不断展宽的解析模型, TCAD 器件模拟的结果与解析模型的预测一致; 本文还进一步建立了预测 SET 脉冲宽度在传播的过程中随 PMOS 器件的 NBTI 退化而不断展宽的解析模型, SPICE 电路模拟的结果与解析模型所预测的结论一致.

关键词: 负偏置温度不稳定性 (NBTI); 单粒子瞬态 (SET) 脉冲; 脉冲展宽; 解析模型

中图分类号: TN306 **文献标识码:** A **文章编号:** 0372-2112 (2011) 05-0996-06

NBTI Induced SET Pulse Broadening in the Production and Propagation

CHEN Jian-jun, CHEN Shu-ming, LIANG Bin, LIU Zheng, LIU Bi-wei, QIN Jun-rui

(School of Computer Science, National University of Defense Technology, Changsha, Hunan 410073, China)

Abstract: The effects of negative bias temperature instability (NBTI) on single event transient (SET) pulse are studied. The results show that: NBTI can result in SET pulse broadening in the production and propagation. An analytical model is developed to calculate SET pulse width in a 130nm CMOS process based on TCAD device simulations, combining with a reaction-diffusion (R-D) based NBTI degradation model, a novel analytical model to predict SET pulse broadening induced by NBTI is proposed, the results from TCAD simulations are in agreement with the ones predicted by this model; An analytical model to predict SET pulse broadening in the propagation is also proposed, SPICE simulations show consistent results with the ones predicted by the model.

Key words: negative bias temperature instability (NBTI); single event transient (SET) pulse; pulse broadening; analytical model

1 引言

随着工艺尺度的缩减, NBTI 成为了 PMOS 器件中最受关注的可靠性问题之一^[1-3]; 同时, 辐射导致的 SET 也成为了另一个备受关注的可靠性问题, 已有学者预测, 到 2011 年, SET 导致的系统软错误率将变得和单粒子翻转 (SEU) 导致的系统软错误率相当^[4,5].

空间辐射环境下长期运行的集成电路, 必然要考虑与时间相关的可靠性问题 (比如 NBTI) 与辐射导致的可靠性问题之间的相互影响. NBTI 能够导致 PMOS 管的阈值电压, 饱和电流等重要电气参数随时间而退化, 这种退化必然会改变集成电路对单粒子事件的响应特性. 如果 SET 脉冲在产生或者传播的过程中因 PMOS 管的

NBTI 退化而不断展宽, 必将增加 SET 引起的系统软错误率, 使得系统软错误率随时间而增加, 增加空间任务后期系统出现故障的概率.

辐射导致的可靠性问题对 NBTI, 热载流子注入 (HCI), 栅氧经时击穿 (TDDDB) 等可靠性问题的影响, 在国际上已经有学者开展了广泛而深入的研究, 并取得了很有意义的研究结论^[6-9]. 这些研究为更好的进行抗辐射加固设计提供了理论参考. 而 NBTI 对辐射导致的 SET 的影响, 据我们所知, 目前国际上还未见相关研究, 开展这方面的研究工作对抗辐射加固设计具有重要意义. Kobayashi 等人在 FD SOI 工艺下, 对 SET 脉冲的宽度提出了一种基于器件物理机理的解析模型, 该模型将 SET 脉冲宽度显式的表达为入射粒子沉积的电荷量 (Q_{dep}) 和

PMOS 管饱和电流 (I_{dsp}) 的函数^[10,11]. 然而该模型与体硅工艺下的试验结果并不吻合. 所以在体硅工艺下, 研究 SET 脉冲宽度与 Q_{dep} 和 I_{dsp} 的解析表达式, 不仅是建立 NBTI 对 SET 脉冲宽度影响的解析模型的基础, 也对指导体硅工艺下的抗 SET 加固设计具有重要意义.

根据 Alam 等人的研究结论^[12]: 在 130nm 体硅工艺下, PMOS 器件的 NBTI 退化主要归因于 Si/SiO₂ 界面处 Si-H 键断裂之后产生的界面态, 而氧化层所俘获的过剩空穴对器件退化的影响基本可以忽略. 国际上多个研究小组基于此结论建立了多种 NBTI 阈值电压退化的反应扩散解析模型^[13,14], 这些模型成功地被运用于预测 NBTI 导致的数字集成电路的性能退化^[15], 以及预测 SRAM 阵列关键电气参数的退化^[16], 本文将基于此建立 NBTI 退化对 SET 脉冲宽度的影响的解析模型.

2 NBTI 对 SET 脉冲产生过程的影响

2.1 理论分析与建模

如图 1 所示, 当重粒子轰击反相器的 NMOS 管时, 输出端将会产生一个“1-0-1”SET 脉冲, 当重粒子 LET 值足够大时, 所产生的脉冲的宽度可以表达为 Q_{dep} 和 I_{dsp} 的函数. 而 NBTI 能够导致 PMOS 管阈值电压、 I_{dsp} 等电气参数随时间而不断退化, 从而进一步改变 SET 脉冲的宽度, 使得所产生的 SET 脉冲的宽度随着时间的推移而不断变化.

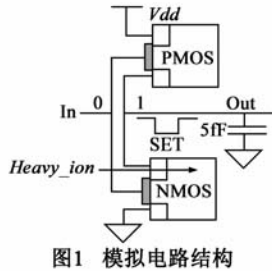


图1 模拟电路结构

2.1.1 SET 脉冲宽度的建模

为了分析 NBTI 对 SET 脉冲宽度的影响, 我们首先基于大量的工艺计算机辅助设计模拟软件 (TCAD) 进行器件模拟, 建立了 SET 脉冲宽度的解析模型. 模拟电路是一个低输入的反相器, 如图 1 所示, 其输出保持在高电平 ($V_{dd} = 1.2V$), 输出端接一个 5fF 的理想电容. 为了简化, 我们假设重粒子垂直从 NMOS 管的漏端中央入射, 不考虑粒子入射角度的影响. 在模拟中, PMOS 建模为 2-维器件模型, 以缩短大量数值模拟的时间. 所有器件模型均与 SMIC 0.13 μm 体硅工艺进行了校准.

Synopsys 公司的 Sentaurus TCAD_C_2009.06-SP2 软件被用来进行器件的构造和器件模拟. 模拟中, 重粒子入射采用 DeviceHeavyIon 模块模拟^[17], 产生的电子空穴对在 NMOS 管中垂直漏端中央呈圆柱结构, 高度为 4.5 μm , 半径为 0.1 μm . 模拟中重粒子的 LET 值分别从 30MeV·cm²/mg 上升到 90MeV·cm²/mg, NMOS 管宽度 (W_n) 保持为 0.84 μm , PMOS 管宽度 (W_p) 相应从 0.64 μm 增加到 5.12 μm , PMOS 和 NMOS 管的长度 (L_p-L_n) 保持为 0.13 μm , 相关信息如表 1 所示.

表 1 模拟中所用器件的长宽值及重粒子的 LET 值

W_p (μm)	W_n (μm)	L_p-L_n (μm)	LET (MeV·cm ² /mg)
0.64	0.84	0.13	30,40,50,60,70,80,90
1.28	0.84	0.13	30,40,50,60,70,80,90
1.92	0.84	0.13	30,40,50,60,70,80,90
2.56	0.84	0.13	30,40,50,60,70,80,90
3.20	0.84	0.13	30,40,50,60,70,80,90
3.84	0.84	0.13	30,40,50,60,70,80,90
4.48	0.84	0.13	30,40,50,60,70,80,90
5.12	0.84	0.13	30,40,50,60,70,80,90

在模拟中, 我们选择 Shockley-Read-Hall 和 Auger 模型作为载流子产生/复合模型; 选择 band-gap-narrowing 模型描述禁带变窄对载流子浓度的影响; 选择 doping-dependent, enormal carrier-carrier-scattering 和 high-field 模型作为迁移率模型; hydrodynamic 模型作为载流子的输运模型.

图 2 给出了 SET 脉冲宽度 (t_{SET}) 与粒子的线性能力传输值 (LET 值) 在不同 PMOS 管下的关系, 在相同 W_p 下, SET 脉冲宽度随 LET 值线性增加, 将所有直线延伸与 y 轴相交时, 所有曲线基本上与 y 轴交于 0 点, 这与 LET 值为 0 时, 产生的 SET 脉冲宽度为 0 的事实相吻合. 考虑到 Q_{dep} 与 LET 值成正比关系, 则由图 2 可以得出, 在相同的 I_{dsp} 下:

$$t_{SET} \propto (Q_{dep}) \quad (1)$$

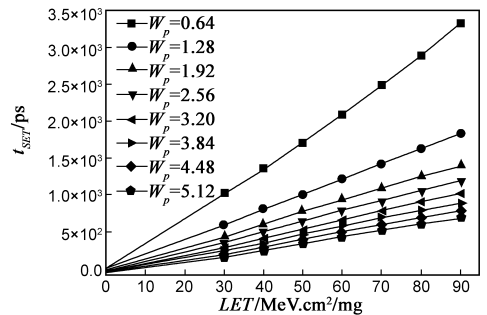


图2 SET 脉冲宽度与 LET 值在不同 W_p 下的关系

图 3 给出了 SET 脉冲宽度与 I_{dsp} 在不同 LET 值下的关系, 在双对数坐标下, 所有曲线基本平行, 所以在相同的 Q_{dep} 下, 可以得出:

$$t_{SET} \propto (I_{dsp})^{-\gamma} \quad (2)$$

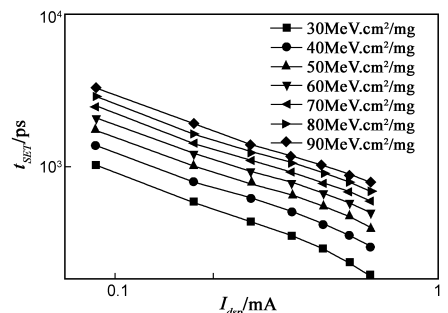


图3 SET 脉冲宽度与 I_{dsp} 在不同 LET 值下的关系

其中 γ 为曲线在双对数坐标下的斜率(绝对值).

结合式(1)和式(2),我们进一步推出 SET 脉冲宽度的解析模型为:

$$t_{SET} \propto (Q_{dep}) * (I_{dsp})^{-\gamma} \quad (3)$$

2.1.2 NBTI 阈值电压退化的解析模型

由于 NBTI, PMOS 管的阈值电压将随着时间而增加, Alam 等人基于界面态对 PMOS 管的退化起主要作用的假设建立了一系列关于阈值电压退化的反应扩散解析模型. 在直流应力(DC 应力)条件下, NBTI 阈值电压的退化公式如下:

$$\Delta N_{it} = \left(\frac{k_H}{k_{H_2}} \right)^{\frac{1}{3}} \left(\frac{k_f N_0}{k_r} \right)^{\frac{2}{3}} (6D_{H_2} t)^{\frac{1}{6}} \quad (4)$$

$$\Delta V_{th}(t)_{DC} = (1 + m_{\mu}) \frac{q \Delta N_{it}(t)}{C_{ox}} = K_{DC} \times t^{\frac{1}{6}} \quad (5)$$

其中, N_{it} 为界面态密度, k_f 和 k_r 分别为 Si-H 键的破键速率和钝化速率, N_0 为 NBTI 应力之前界面处 Si-H 键的密度, k_H 和 k_{H_2} 分别为 H_2 的产生和分解速率, D_{H_2} 为 H_2 的扩散系数, m_{μ} 为迁移率退化因子.

在交流应力(AC 应力)条件下, NBTI 阈值电压的退化公式在 DC 退化公式的前面乘以一个 AC 退化因子, 如下:

$$\Delta V_{th}(t)_{AC} = \alpha(S) \times K_{DC} \times t^{\frac{1}{6}} \quad (6)$$

其中 S 是器件在 AC 应力中处于 NBTI 应力状态的比例. 所有这些参数根据不同的工艺和试验条件而提取得到, 本文根据文献[16]中表 1 提供的数据来进行模拟, 可以得到 AC 退化因子与 S 之间的关系如本文表 2 所示.

表 2 AC 退化因子 $\alpha(S)$ 与 S 之间的关系

应力状态所占比例 (S)	AC 退化因子 ($\alpha(S)$)
0.25	0.630
0.50	0.796
0.75	0.911

2.1.3 NBTI 导致 SET 脉冲在产生的过程中展宽的解析模型

PMOS 漏端饱和电流与其阈值电压的关系可以表示如下^[15]:

$$I_{dsp} \approx \frac{W_{eff} \mu_{eff} C_{ox}}{L_{eff}} (V_{gs} - V_{th})^{\beta} \quad (7)$$

对公式两边求导, 并同时除以原式的两边, 得:

$$\frac{dI_{dsp}}{I_{dsp}} = -\beta \frac{dV_{th}}{V_{gs} - V_{th}} \quad (8)$$

根据式(3), 用同样的方法, 得:

$$\frac{dt_{SET}}{t_{SET}} = -\gamma \frac{dI_{dsp}}{I_{dsp}} \quad (9)$$

将式(8)带入式(9), 得:

$$\frac{dt_{SET}}{t_{SET}} = \beta\gamma \frac{dV_{th}}{V_{gs} - V_{th}} \quad (10)$$

将式(10)两边积分, 有:

$$\int_{t_{SET0}}^{t_{SET0} + \Delta t_{SET}} \frac{dt_{SET}}{t_{SET}} = \beta\gamma \int_{V_{th0}}^{V_{th0} + \Delta V_{th}} \frac{dV_{th}}{V_{gs} - V_{th}} \quad (11)$$

进一步有:

$$\ln(1 + \frac{\Delta t_{SET}}{t_{SET0}}) = -\beta\gamma \ln(1 - \frac{\Delta V_{th}}{V_{gs} - V_{th0}}) \quad (12)$$

其中, V_{th0} 是 PMOS 在 NBTI 应力之前的阈值电压, t_{SET0} 是 NBTI 应力之前粒子轰击 NMOS 管时产生的 SET 脉冲的宽度. 将上式两边进行 Taylor 展开, 省去高阶项, 得出:

$$\frac{\Delta t_{SET}}{t_{SET0}} \approx \frac{\beta\gamma \Delta V_{th}}{V_{gs} - V_{th0}} \quad (13)$$

在 DC NBTI 应力条件下, 将式(5)带入式(13), 得到 SET 脉冲在产生的过程中展宽的解析模型为:

$$\frac{\Delta t_{SET}}{t_{SET0}} \approx \frac{\beta\gamma K_{DC}}{V_{gs} - V_{th0}} \times t^{\frac{1}{6}} = L\gamma K_{DC} \times t^{\frac{1}{6}} \quad (14)$$

在 AC NBTI 应力条件下, 将式(6)带入式(13), 得相应 AC 解析模型如下:

$$\frac{\Delta t_{SET}}{t_{SET0}} \approx \frac{\beta\gamma \alpha(S) K_{DC}}{V_{gs} - V_{th0}} \times t^{\frac{1}{6}} = L\gamma \alpha(S) K_{DC} \times t^{\frac{1}{6}} \quad (15)$$

从模型可以看到, 由于 NBTI, 重离子轰击 NMOS 管所产生的 SET 脉冲将随时间不断展宽, 展宽百分比与应力时间呈幂函数关系, 时间指数与阈值电压退化的时间指数相同.

2.2 TCAD 器件模拟验证

在 NBTI 的 TCAD 器件模拟方法上, Reddy 等人曾将界面态加载到 PMOS 器件模型的 Si/SiO₂ 界面处, 来模拟器件因 NBTI 应力而产生界面态之后的电气特性. 这种模拟方法获得了与 NBTI 应力试验相一致的结果^[18]. 本文在模拟的过程中, 与 Reddy 等人的方法一致, 将不同 NBTI 应力时间之后产生的界面态, 加载到 PMOS 器件模型的 Si/SiO₂ 界面处, 然后引入重粒子垂直轰击 NMOS 管的漏结中央, 来模拟研究因 NBTI 应力产生界面态之后对 SET 脉冲产生过程的影响.

表 3 解析模型中的参数

参数名	参数值	参数名	参数值
k_f	$1.2s^{-1}$	k_r	$3 \times 10^{-9}cm^3s^{-1}$
N_0	$5 \times 10^{12}cm^{-2}$	D_{H_2}	$1.8 \times 10^{-14}cm^2s^{-1}$
k_H	$1.4 \times 10^{-3}cm^3s^{-1}$	k_{H_2}	$95.4s^{-1}$
γ	0.723	β	1.5
V_{th0}	0.442	I_{dsp0}	$4.6 \times 10^{-4}A$
T_{ox}	2.58×10^{-9}	V_{dd}, V_{gs}	1.2V

界面态的浓度通过公式(4)获得, 所用参数与文献[12, 14, 16]中的参数一致, 其余参数根据本文所用工艺的相关参数确定, 见本文表 2 及表 3. 需要强调的是: 这些参数在不同的工艺及不同的试验条件下进行试验获

得,本文所引用的参数主要是为了验证解析模型的预测是否准确.图4给出了界面态密度在 DC NBTI 应力情况和几种 AC NBTI 应力情况下随时间的变化.

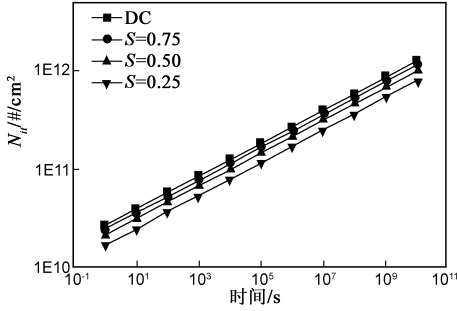


图4 界面态在各种NBTI应力下的密度变化

图5给出了不同 NBTI 应力时间之后,轰击 NMOS 管产生的 SET 脉冲,SET 脉冲的宽度随着应力时间的增加而不断展宽.图6进一步给出了在 DC 应力情况下和 $S=0.25$ 时的 AC 应力情况下 SET 脉冲展宽百分比随应力时间的变化情况.从图6可以看到,SET 脉冲展宽百分比在双对数坐标下表现出了较好的线性上升趋势,即在线性坐标下有较好的幂函数关系,这与解析模型(14)、(15)所计算的结果相吻合.

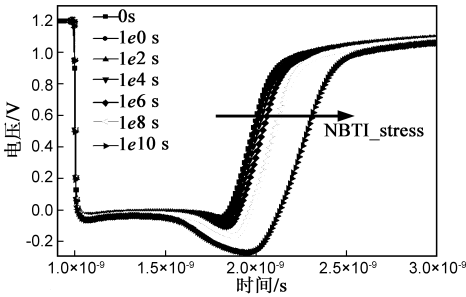


图5 SET脉冲宽度随应力时间的增加而展宽 (以 LET 为 $50\text{MeV}\cdot\text{cm}^2/\text{mg}$ 为例)

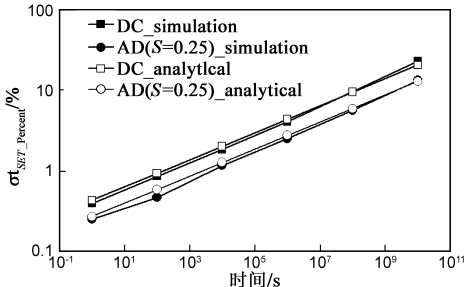


图6 SET脉冲展宽百分比与应力时间的关系 (以 LET 为 $50\text{MeV}\cdot\text{cm}^2/\text{mg}$ 为例)

3 NBTI 对 SET 脉冲传播过程的影响

3.1 理论分析与建模

本文以 100 级反相器链来研究 NBTI 对 SET 脉冲传播特性的影响.如图7所示,当反相器的输入端接地时,PMOS 管处于 NBTI 应力状态,当反相器的输入端接高电平时,PMOS 管处于 NBTI 退火状态.所以当反相器链

的输入端接高电平时,所有奇数级反相器中的 PMOS 管均处于 NBTI 退火状态,而所有偶数级反相器中的 PMOS 管均处于 NBTI 应力状态,假设 S_o 为奇数级 PMOS 管处于 NBTI 应力状态时的比例, S_e 为偶数级 PMOS 管处于 NBTI 应力状态时的比例,则有 $S_o + S_e = 1$,则图中对偶数级 PMOS 有:

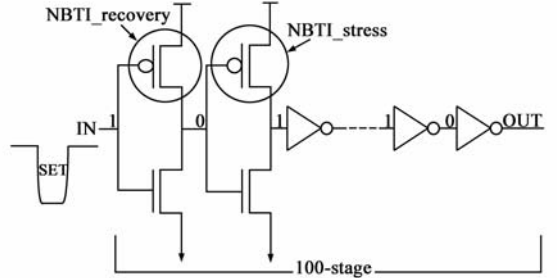


图7 100级反相器链电路结构

$$\Delta V_{th}(t)_{AC} = \alpha(S_e) \times \Delta V_{th}(t)_{DC} \quad (16)$$

对奇数级 PMOS,有:

$$\Delta V_{th}(t)_{AC} = \alpha(1 - S_e) \times \Delta V_{th}(t)_{DC} \quad (17)$$

如图8所示,假设有一个“1-0-1”SET 脉冲在 100 级反相器链中传播,则每经过两级反相器之后,SET 脉冲又恢复为“1-0-1”脉冲,这里以经过第 1,2 级反相器为例进行分析,经过两级反相器之后,SET 脉冲的展宽量等于 SET 脉冲后沿的传播延时与 SET 脉冲前沿的传播延时之差,即:

$$\Delta t = (t_4 - t_3) - (t_2 - t_1) = (t_4 - t_2) - (t_3 - t_1) \quad (18)$$

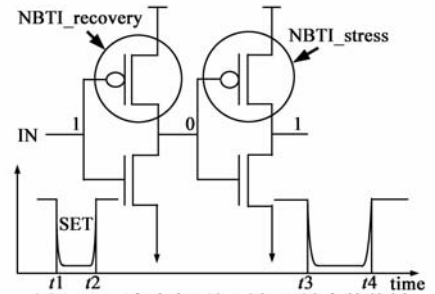


图8 SET脉冲在两级反相器链中的传播

SET 脉冲第一个沿,经过第 1 级反向器时反相器输出端由低到高跳变,传播延时由 PMOS 决定,经过第 2 级反向器时反相器的输出端由高到低跳变,传播延时由 NMOS 决定,SET 第二个沿的传播特性正好相反.由文献[15],反相器的跳变延时可以近似表示为:

$$\tau = \frac{C_L \cdot V_{dd}}{I_{dsn(p)}} \quad (19)$$

所以式(18)变为:

$$\Delta t = \left(\frac{C_L \cdot V_{dd}}{I_{dsn1}} + \frac{C_L \cdot V_{dd}}{I_{dsp2}} \right) - \left(\frac{C_L \cdot V_{dd}}{I_{dsp1}} + \frac{C_L \cdot V_{dd}}{I_{dsn2}} \right) \quad (20)$$

在 NBTI 应力过程中,两个 NMOS 电气参数基本不变,即 $I_{dsn1} = I_{dsn2}$,则(20)简化为:

$$\Delta t = \frac{C_L \cdot V_{dd}}{I_{dsp2}} - \frac{C_L \cdot V_{dd}}{I_{dsp1}} \quad (21)$$

式(21)进一步可以表示为:

$$\begin{aligned} \Delta t &= \frac{C_L \cdot V_{dd}}{I_{dsp0}} \left(\frac{1}{1 - \frac{\Delta I_{dsp2}}{I_{dsp0}}} - \frac{1}{1 - \frac{\Delta I_{dsp1}}{I_{dsp0}}} \right) \\ &= M \left(\frac{1}{1 - \frac{\Delta I_{dsp2}}{I_{dsp0}}} - \frac{1}{1 - \frac{\Delta I_{dsp1}}{I_{dsp0}}} \right) \end{aligned} \quad (22)$$

其中, I_{dsp0} 为 NBTI 退化前 PMOS 管的饱和电流. 根据式(8),由文献[15]的推导有:

$$\frac{\Delta I_{dsp}}{I_{dsp0}} \approx \beta \frac{\Delta V_{th}(t)_{AC}}{V_{gs} - V_{th0}} = L \cdot \Delta V_{th}(t)_{AC} \quad (23)$$

将式(16)(17)和式(23)代入式(22),最终有 SET 脉冲经过两级反相器之后展宽量的表达式如下:

$$\Delta t = M \left(\frac{1}{1 - L \cdot \alpha(S_e) \cdot K_{DC} \cdot t^{1/6}} - \frac{1}{1 - L \cdot \alpha(1 - S_e) \cdot K_{DC} \cdot t^{1/6}} \right) \quad (24)$$

根据式(24),当 $Se = 0.5$ 时,两个 PMOS 受到的 NBTI 应力相同,此时 SET 脉冲的展宽量为 0,当 $Se > 0.5$ 时,PMOS1 的 NBTI 退化比 PMOS2 较弱,导致 I_{dsp1} 退化量比 I_{dsp2} 较少,从式(24)可以看到此时 Δt 将随时间而不断增加,即 SET 脉冲的展宽量将随时间不断增加.

3.2 Hspice 电路模拟验证

图 9 给出了 SPICE 对 100 级反相器链模拟的结果,模拟过程中分别对奇数级 PMOS 和偶数级 PMOS 采用不同的阈值电压退化模型,阈值电压退化量由公式(16),(17)获得. 如图所示:当 $Se = 0.5$ 时,SET 脉冲基本上没有展宽,而当 $Se > 0.5$ 时,SET 脉冲展宽量随应力时间的变化而不断增加,当 $Se = 1$ 时,即反相器链一直处于高电平 DC 输入时,展宽量最大. HSPICE 电路模拟的结果和式(24)预测的结果相吻合.

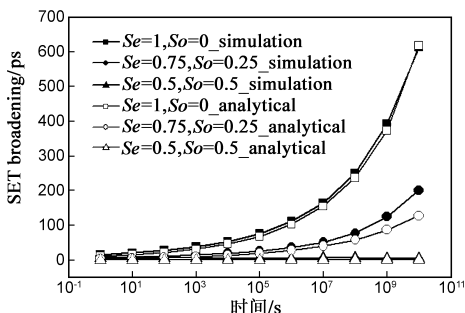


图9 SET脉冲在DC和AC NBTI应力下的展宽

4 结论

本文研究了 NBTI 对 SET 脉冲产生与传播过程的影

响. 研究表明: NBTI 导致 SET 脉冲在产生与传播的过程中均出现了展宽. 本文还基于 TCAD 器件模拟,建立了 130nm 体硅工艺下 SET 脉冲宽度的解析模型,并结合 NBTI 阈值电压退化的反应扩散模型,建立了预测 NBTI 导致 SET 脉冲在产生的过程中展宽的解析模型,模型推出 SET 脉冲展宽量与原始脉冲宽度相关,展宽百分比与应力时间呈幂函数关系,时间指数约为 1/6, TCAD 模拟得出的结果与模型预测基本吻合. 在 DC 应力情况下,产生的 SET 脉冲在经过 3 年 ($\approx 1e10^8$ s) 之后,将在初始脉冲的基础上展宽 9.6%,在 $S = 0.25$ 的 AC 应力情况下,将在初始脉冲的基础上展宽 5.7%. 本文还进一步建立了预测 SET 脉冲因 NBTI 退化在传播的过程中展宽的解析模型,模型推出 SET 展宽量与原始脉冲宽度无关,DC 应力下,展宽量在经过 3 年 ($\approx 1e10^8$ s) 之后,能够达到 250ps, AC 应力下为 77ps. 研究表明,对于空间长期运用的器件,必须考虑 NBTI 对辐射效应造成的影响,在进行抗辐射加固设计时,必须综合考虑 NBTI 等可靠性问题,才能更好地保证器件运行后期的可靠性,使器件达到预期寿命.

参考文献

- [1] 郝跃,韩晓亮,刘红侠. 超深亚微米 P⁺ 栅 PMOSFET 中 NBTI 效应及其机理研究[J]. 电子学报. 2003, 31(12A): 2063 - 2065.
Hao Yue, Han Xiaoliang, Liu Hangxia. The study on NBTI mechanism and its effect on P⁺ gate PMOSFET[J]. Acta Electronica Sinica. 2003, 31(12A): 2063 - 2065. (in Chinese)
- [2] M A Alam, H Kufuoglu, D. Varghese, S. Mahapatra, A comprehensive model for PMOS NBTI degradation: Recent progress [J]. Microelectronics Reliability, 2007, 47(6): 853 - 862.
- [3] Wang Yu, Luo Hong, He Ku, Luo Rong, Yang Huazhong, Xie Yuan. NBTI-aware dual V_{th} assignment for leakage reduction and lifetime assurance [J]. Chinese Journal of Electronics, 2009, 18(2): 225 - 230.
- [4] P Shivakumar, M Kistler, S Keckler, D. Burger, L Alvisi. Modeling the effect of technology trends on the soft error rate of combinational logic [A]. Proc DSTN [C]. Washington, DC: IEEE Inc, 2002. 389 - 398.
- [5] Liu Biwei, Chen Shuming, Liang Bin, Liu Zheng, Zhao Zhenyu. The effect of re-convergence on SER estimation in combinational circuits [J]. IEEE Trans Nucl Sci, 2009, 56(6): 3122 - 3129.
- [6] J Zhou, D M Fleetwood, J A Felix, E P Gusev, C. D'Emic. Bias-temperature instabilities and radiation effects in MOS devices [J]. IEEE Trans Nucl Sci, 2005, 52(6): 2231.
- [7] Silvestri M, Gerardin S, Paccagnella A, et al. Degradation induced by X-ray irradiation and gate hot carrier stresses in 130

- nm NMOSFETs with enclosed layout[J]. IEEE Trans Nucl Sci, 2008, 55(6): 3216.
- [8] Silvestri M, Gerardin S, Paccagnella A, et al. Gate hot carrier stress on irradiated 130 – nm NMOSFETs[J]. IEEE Trans Nucl Sci, 2008, 55(4): 1960.
- [9] Andrea Cester, Salvatore Cimino, Alessandro Paccagnella, Gérard Ghibaudo, Gabriella Ghidini, Jeffrey Wyss. Accelerated wear-out of ultra-thin gate oxides after irradiation[J]. IEEE Trans Nucl Sci, 2003, 50(3): 729.
- [10] Daisuke Kobayashi, Takahiro Makino, and Kazuyuki Hirose, Analytical expression for temporal width characterization of radiation-induced pulse noises in SOI CMOS logic gates[A]. Proceedings of the 47th Annual International Reliability Physics Symposium[C]. Washington, DC: IEEE Inc, 2009. 165 – 169.
- [11] Daisuke Kobayashi, Kazuyuki Hirose, Véronique Ferlet-Cavrois, Dale McMorro, Takahiro Makino, Hirokazu Ikeda, Yasuo Arai, and Morifumi Ohno. Device-physics-based analytical model for single-event transients in SOI CMOS logic[J]. IEEE Trans Nucl Sci, 2009, 56(6): 3043 – 3049.
- [12] Ahmad Ehteshamul Islam, Haldun Kufluoglu, Dhanoop Varghese, Souvik Mahapatra, Muhammad Ashraf Alam. Recent issues in negative-bias temperature instability: initial degradation, field dependence of interface trap generation, hole trapping effects, and relaxation[J]. IEEE Trans Electron Dev, 2007, 54(9): 2143 – 2154.
- [13] J B Yang, T P Chen, S S Tan, L Chan. Analytical reaction-diffusion model and the modeling of nitrogen-enhanced negative bias temperature instability[J]. Applied Physics Letters, 2006, 88(17): 172109.
- [14] Haldun Küftüoğlu, Muhammad Ashraf Alam. A generalized reaction diffusion model with explicit H₂ dynamics for negative-bias temperature-instability (NBTI) degradation[J]. IEEE Trans Electron Dev, 2007, 54(5): 1101 – 1107.
- [15] Bipul C. Paul, Kunhyuk Kang, Haldun Kufluoglu, Muhammad A. Alam, Kaushik Roy, Negative bias temperature Instability: estimation and design for improved reliability of nanoscale circuits[J]. IEEE Tran Comput Aid D, 2007, 26(4): 743 – 751.
- [16] Kunhyuk Kang, Haldun Kufluoglu, Kaushik Roy, Muhammad Ashraf Alam, Impact of negative-bias temperature instability in nanoscale SRAM array: modeling and analysis[J]. IEEE Tran Comput Aid D, 2007, 26(10): 1770 – 1781.
- [17] Sentaurus Device User Guide version C_2009.06-SP2[M]. Synopsys, 2009. 453 – 460.
- [18] Vijay Reddy, Anand T. Krishnan, Andrew Marshall, John Rodriguez, Sreedhar Natarajan, Tim Rost, Srikanth Krishnan. Impact of negative bias temperature instability on digital circuit reliability[J]. Microelectronics Reliability, 2005, 45(1): 31 – 38.

作者简介



陈建军(通信作者) 男, 1984 年生于贵州毕节, 现为国防科技大学计算机学院博士研究生, 主要研究方向为微纳器件可靠性及集成电路辐照效应与抗辐照加固技术等。
E-mail: cjj192000@yahoo.com.cn

陈书明 男, 1961 年生于安徽六安, 教授, 博士生导师. 主要研究方向为计算机体系结构, 超大规模集成电路可靠性设计等。
E-mail: smchen@nudt.edu